

# 2022 CAD Contest

## Wirelength-Driven Detailed Macro Placement

### Benchmark Description & Evaluation

Version: 2022-05-09

Maxeda Technology  
2022

# Input File / Format

# (1) 第一類輸入檔案

---

- 描述一個完整電路及其佈局圖，共包含三個檔案，格式分別為 **Verilog** (副檔名為 **.v**)、**LEF** (副檔名為 **.lef**) 及 **DEF** (副檔名為 **.def**)，定義遵照 IEEE Standard for Verilog Hardware Description Language 及 LEF/DEF Language Reference。
- 第一類輸入檔案修改自 2015 CAD Contest @ ICCAD 的 **superblue1**、**superblue7** 及 **superblue10** 三個電路。
  - **.def** 中所有元件的擺置狀態改為 **PLACED**。
  - **case01/case02/case03** 分別使用 **superblue1/superblue7/superblue10** 電路。
  - 所有開放及隱藏測試資料所使用的**第一類輸入檔案** 限定為上述三個電路 ( **LEF** 內容完全相同、**Verilog** 內容僅 **module name** 不同，**DEF** 內容僅 **DESIGN name** 不同 )。

## (2) 第二類輸入檔案

---

- 描述給定的合法巨集元件擺置，包含一個檔案，格式為 **DEF**（副檔名為 **.mlist**），定義遵照 LEF/DEF Language Reference [8]，內容僅包含四種 statements（VERSION、DESIGN、UNITS及DIEAREA）與一個 section（COMPONENTS）。
- COMPONENTS 部分不包含標準單元元件的相關資訊，僅保留巨集元件的相關資訊，如巨集元件的名字，擺置狀態（僅會有 **FIXED** 或 **PLACED** 兩種）、合法擺置的位置（左下角座標，皆為整數）及擺置方向。
  - 擺置狀態為 **FIXED**：請勿變動此巨集元件位置及方向。
  - 擺置狀態為 **PLACED**：在給定限制下調整此巨集元件位置及方向。
- 語法定義如下頁：

## (2) 第二類輸入檔案 (Cont'd)

---

VERSION *versionNumber* ;

DESIGN *designName* ;

UNITS DISTANCE MICRONS *dbuPerMicron* ;

DIEAREA *pt pt [pt] ...* ;

COMPONENTS *numComps*

[ - *compName macroName*

[ + {FIXED *pt orient* | PLACED *pt orient*} ]

END COMPONENTS

### (3) 第三類輸入檔案

---

- 描述給定的三項限制，包含一個檔案，格式為 **ASCII**（副檔名為 **.txt**）。
  - `maximum_displacement_constraint`：巨集元件最大位移距離限制，單位為micron。
  - `minimum_channel_spacing_between_macros_constraint`：巨集元件間的最小通道距離限制，單位為micron。
  - `macro_halo`：巨集元件外環距離，單位為micron。
- 此次競賽，所有開放及隱藏測試資料的 `minimum_channel_spacing_between_macros_constraint` 及 `macro_halo` 皆設定為0。

# Output File / Format

# 輸出的 DEF 格式檔案

---

- 每組測試資料，個別輸出一個檔案描述細部巨集元件擺置，檔案格式為 **DEF** (副檔名為 **.dmp**)，內容及語法同”Input File / Format (2) 第二類輸入檔案”的描述。



# Evaluation

# Evaluation Flow (每組測試資料獨立處理)

---

1. 使用參賽者繳交的執行檔產生 caseOO.dmp 。
  - 程式執行時間 ( 包含讀寫檔案過程 ) 必須在20分鐘內完成。 ( 不符合則不予計分 )
  - caseOO.dmp 格式必須符合 LEF/DEF Language Reference 。 ( 不符合則不予計分 )
2. 檢查 caseOO.dmp 的擺置位置及方向：必須完全符合以下五個條件。 ( 不完全符合則不予計分 )
  - 1) 巨集元件完全座落在晶片外框的內側。
  - 2) 巨集元件的擺置方向符合擺置方向限制 ( N、FN、S、FS ) 。
  - 3) 單一巨集元件的移動距離符合最大位移距離限制 ( 曼哈頓距離，依照各組測試資料給定 ) 。
  - 4) 兩兩巨集元件間符合最小通道距離限制 ( 0 ) 。
  - 5) 不可移動巨集元件的位置不可變動。

## Evaluation Flow (Cont'd)

3. 將 case00.dmp 中巨集元件的位置及方向更新至 bookshelf/case00.pl 中相對應的元件。
4. 使用 ntuplace3 擺置標準單元元件
  - 在 bookshelf/ 目錄下執行命令: `./ntuplace3 -aux case00.aux`
  - ntuplace3 下載網頁：<https://github.com/The-OpenROAD-Project/RePIAce/tree/standalone/ntuplace>
5. 讀取細部巨集元件擺置值，如下圖最後一行的 HPWL。

```
Circuit: case02.aux
Global HPWL= 288126045902 Time: 2247 sec (37.5 min)
Legal HPWL= 305512883922 Time: 0 sec (0.0 min)
Detail HPWL= 287587425025 Time: 209 sec (3.5 min)
=====
HPWL= 287587421039 Time: 2483 sec (41.4 min)
```

- 標準單元元件的位置儲存在 bookshelf/case00.ntup.pl。
- 可使用 gnuplot 開啟 bookshelf/case00.ntup.plt。

# Submission Note

# Note

---

1. 每組測試檔案包含兩個目錄 `lefdef/` 及 `bookshelf/` 。
  - `lefdef/` 為競賽使用的標準輸入檔案。
  - `bookshelf/` 為競賽 `evaluation` 使用的檔案，提供予參賽者開發過程自行評估結果使用。
2. 繳交的檔案不需要包入 `ntuplace3` 。
3. 參考: open source 的學術界元件擺置器
  - RePIAce : <https://github.com/The-OpenROAD-Project/RePIAce>
  - DREAMPlace : <https://github.com/limbo018/DREAMPlace>

# Thank You