

# ICCAD 2022 CAD Contest

## Problem D: Wirelength-Driven Detailed Macro Placement

至達科技 (Maxeda Technology Inc.)

Version: 2022-02-25

### 1 Introduction

為了能減少循環次數 (design cycles) 以降低設計的時間，可重複利用的矽智產 (Intellectual Property, IP) 模組及嵌入式記憶體 (memory) 被廣泛地使用在晶片設計 (IC design) 中。由於這種電路同時包含巨集元件 (macro, 矽智產模組及嵌入式記憶體皆屬於此類元件) 及標準單元元件 (standard cell), 所以被稱為混合尺寸電路設計 (mixed-size circuit design) [3]。

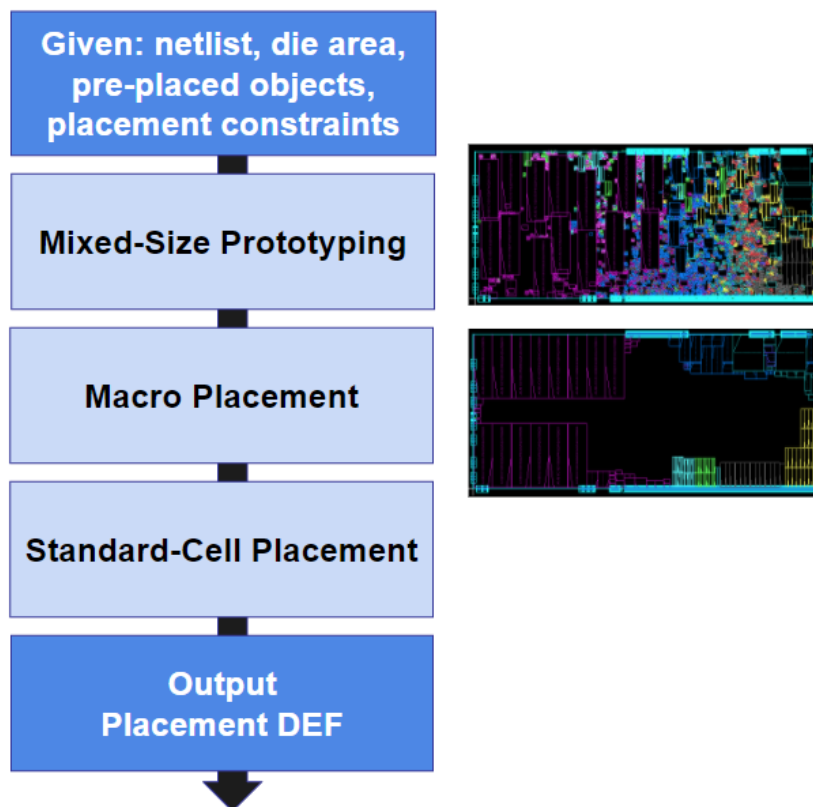
先進的混合尺寸電路設計常包含數千個巨集元件及數百萬個標準單元元件，傳統單純仰賴工程師手動擺置元件的流程已不合時宜，因此業界需要有更先進的擺置工具才能夠滿足設計需求。為了有效率地將龐大數量的巨集元件及標準單元元件擺置在晶片上適當的位置，目前最通用的混合尺寸電路擺置 (mixed-size placement) 設計方法包含了三個階段: (1) 混合尺寸電路雛型擺置 (mixed-size prototyping)，(2) 巨集元件擺置 (macro placement) 和 (3) 標準單元元件擺置 (standard-cell placement) (如圖一所示)。三個階段的詳細定義如下:

- (1) 混合尺寸電路雛型擺置: 此階段利用數學解析法 (analytical approach) 在考量線長 (wirelength) 或可繞度 (routability) 等因素下，決定巨集元件與標準單元元件在晶片上的初始散佈位置，為了降低複雜度，此階段放寬巨集元件與標準單元元件間不能重疊的限制，其產生的結果稱為初始擺置 (initial placement) [2][4][5]。
- (2) 巨集元件擺置: 根據初始擺置且基於特定的衡量機制，如線長、可繞度、巨集元件位移距離 (displacement) 及後續可擺置標準單元元件

的空間（free space），決定巨集元件的合法擺置位置及擺置方向（orientation）。所謂合法擺置解包含巨集元件必須完全擺置在晶片的擺置區域內且巨集元件間不得相互重疊外，還必須保留給定的距離（spacing） [1][5][6]。

本階段可以進一步細分為巨集元件合法化（macro legalization）步驟及細部巨集元件擺置（detailed macro placement）步驟。在 ICCAD 2021 CAD Contest 中已經處理巨集元件合法化問題，此次競賽的目標則為處理細部巨集元件擺置問題，問題的詳細定義描述於章節 2 “Problem Statement”。

- (3) 標準單元元件擺置：當所有巨集元件的擺置位置及方向固定後，此階段將決定標準單元元件在剩餘可以擺置空間的位置及方向。



圖一：混合尺寸電路設計的擺置流程

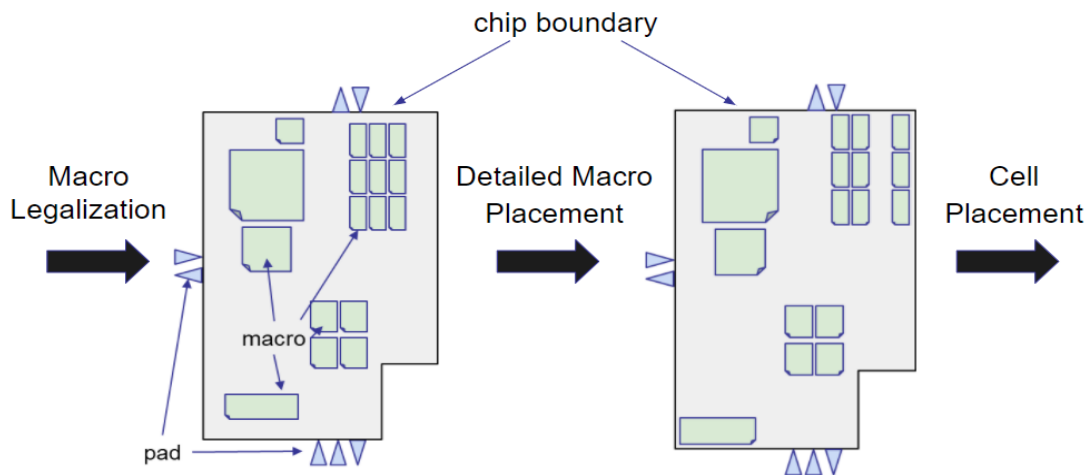
## 2 Problem Statement

給定一個電路 (netlist) 及其佈局圖 (layout)，其中包含了可以擺置的空間和合法的巨集元件擺置 (legal placement)。參賽者必須在給定的最佳化目標以及擺置限制下，藉由微調可移動巨集元件位置或翻轉其方向 (flip)，找尋所有可移動巨集元件的最佳擺置位置及方向。相關名詞的定義如下：

- (1) 可移動巨集元件：描述給定合法巨集元件擺置的輸入檔案 (見章節 3. (2) 定義) 中，擺置型態為 PLACED 的巨集元件。
- (2) 最佳化目標：當可移動巨集元件新的擺置位置和方向決定後，並且完成標準單元元件擺置，能夠最小化總體線長 (total wirelength)。其中半周長線長模型 (HPWL) 用來計算線長，它會使用最小的矩形來圍住一條線的所有 pin，並且利用此矩形的寬和高來計算線長。
- (3) 擺置限制 (constraint)：此次競賽考慮四個限制，
  - i. 巨集元件的擺置方向限制：每個巨集元件可以翻轉的方向限定為四個方向，分別為 N、FN (對 Y 軸翻轉)、S (同時對 X 軸及 Y 軸翻轉)、及 FS (對 X 軸翻轉)。
  - ii. 巨集元件的最大位移距離 (maximum displacement) 限制：為了維持細部擺置與原始的合法擺置有一定相似度，細部巨集元件擺置前後，單一巨集元件的移動距離不能超過給定的最大位移距離，其中移動距離利用曼哈頓距離 (Manhattan distance) 計算 (亦即每個可移動元件擺置前後 X 座標的絕對差值與 Y 座標的絕對差值之總和)。
  - iii. 巨集元件間的最小通道距離 (minimum channel spacing between macros) 限制：左右 (或上下) 兩兩相鄰的巨集元件 (包含可移動及不可移動的巨集元件)，在 X 方向 (或 Y 方向) 的通道必須保留的最小距離。
  - iv. 巨集元件的外環距離 (macro halo) 限制：每個巨集元件的外框 (boundary) 向外擴張外環距離所產生的範圍 (亦即巨集元件的外框至外環距離的外框間)，在後續執行標準單元元件擺置時，將無法將標準單元元件放置於此範圍。

- (4) 合法的擺置位置及方向：必須完全符合以下五個條件
- i. 巨集元件完全座落在晶片外框的內側。
  - ii. 巨集元件的擺置方向符合擺置方向限制。
  - iii. 巨集元件的移動距離符合最大位移距離限制。
  - iv. 兩兩巨集元件間符合最小通道距離限制。
  - v. 不可移動巨集元件的位置不可變動。

圖二中分別顯示巨集元件合法化所獲得的合法巨集元件位置，和經由細部巨集元件擺置微調後的巨集元件位置及方向。其中綠色的矩形為可移動巨集元件。巨集元件的左下角顯示缺角代表此巨集元件的擺置方向為 N。



圖二：使用巨集元件合法化所獲得的合法巨集元件位置，和經由細部巨集元件擺置微調後的巨集元件位置及方向

### 3 Input File / Format

每組測試資料包含三類輸入檔案，分別敘述如下：

- (1) 第一類輸入檔案描述一個完整電路及其佈局圖，共包含三個檔案，格式分別為 Verilog (副檔名為 .v)、LEF (副檔名為 .lef) 及 DEF (副檔名為 .def)，定義遵照 IEEE Standard for Verilog Hardware Description Language [7] 及 LEF/DEF Language Reference [8]。所有的第一類輸入檔案會與開放測試資料同時釋出。

- (2) 第二類輸入檔案描述給定的合法巨集元件擺置，包含一個檔案，格式為 DEF(副檔名為 .mlist)，定義遵照 LEF/DEF Language Reference [8]，內容僅包含四種 statements (VERSION、DESIGN、UNITS 及 DIEAREA) 與一個 section (COMPONENTS)。

COMPONENTS 部分不包含標準單元元件的相關資訊，僅保留巨集元件的相關資訊，如巨集元件的名字，擺置狀態 (僅會有 FIXED 或 PLACED 兩種)、合法擺置的位置 (左下角座標，皆為整數) 及擺置方向。

語法定義如下：

VERSION <i>versionNumber</i> ;
DESIGN <i>designName</i> ;
UNITS DISTANCE MICRONS <i>dbuPerMicron</i> ;
DIEAREA <i>pt pt [pt] ...</i> ;
COMPONENTS <i>numComps</i> [ - <i>compName macroName</i> [ + {FIXED <i>pt orient</i>   PLACED <i>pt orient</i> } ]
END COMPONENTS

- (3) 第三類輸入檔案描述給定的三項限制，包含一個檔案，格式為 ASCII (副檔名為 .txt)。
- i. maximum\_displacement\_constraint：巨集元件最大位移距離限制，單位為 micron。
  - ii. minimum\_channel\_spacing\_between\_macros\_constraint：巨集元件間的最小通道距離限制，單位為 micron。
  - iii. macro\_halo：巨集元件外環距離，單位為 micron。

## 4 Output File / Format

每組測試資料，個別輸出一個檔案描述細部巨集元件擺置，檔案格式為 DEF (副檔名為 .dmp)，內容及語法同章節 3. (2) 的描述。

## 5 Usage Format

請使用 C 或 C++ 實作程式，執行檔取名為“DMP”，並遵照下列的使用格式（OO 為測試檔案編號，格式為兩位數的正整數 01--15）：

```
./DMP caseOO.v caseOO.lef caseOO.def caseOO.mlist caseOO.txt caseOO.dmp
```

## 6 Platform

OS: Linux

Compiler: gcc/g++

其他細節依大會公布

## 7 Testcases

提供 5 組開放測試資料及 10 組隱藏測試資料。更多的資訊請見 Benchmark description 文件。

## 8 Evaluation

- (1) 依照參賽者的總分由高至低排序，參賽者的總分為每組測試資料的得分加總。
- (2) 每組測試資料獨立計分，使用參賽者的細部巨集元件擺置計算細部巨集元件擺置值（簡稱擺置值），取得所有參賽者中的最低擺置值。獲得最低擺置值的參賽者可得 1 分，再依照方程式（1）計算其餘參賽者的得分，得分計算至小數以下第 5 位。

$$\text{得分} = \text{所有參賽者中的最低擺置值} / \text{此參賽者的擺置值} \quad (1)$$

- (3) 每一參賽者的每組測試資料的擺置值計算方式為，將其所產生的細部巨集元件擺置加入巨集元件的外環距離限制後，使用一個可公開存取元件擺置器決定標準單元元件擺置，再計算半周長導線總長，此半周長導線總長即為此參賽者此組測試資料的擺置值。
- (4) 使用的元件擺置器、版本及操作腳本請見 Benchmark description 文件。

- (5) 每組測試資料的程式執行時間（包含讀寫檔案過程）必須在 20 分鐘內完成，若不符合則此組測試資料不予計分。
- (6) 每組測試資料的產生結果其檔案格式必須符合 LEF/DEF Language Reference [7]，若不符合則此組測試資料不予計分。
- (7) 每組測試資料的產生結果必須為合法的擺置位置及擺置方向，若不符合則此組測試資料不予計分。

## 9 Reference

- [1] C.-H. Chang, Y.-W. Chang, and T.-C. Chen, "A novel damped-wave framework for macro placement," Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 504–511, 2017.
- [2] S.-T. Chen, Y.-W. Chang, and T.-C. Chen, "An integrated-spreading-based macro-refining algorithm for large-scale mixed-size circuit designs," Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 496–503, 2017.
- [3] T.-C. Chen, P.-Y. Lee, and T.-C. Chen, "Automatic Floorplanning for AI SoCs," Proceedings of The 1st IEEE-TSA VLSI Design Automation and Test Conference (VLSI-DAT), 2020.
- [4] C.-C. Huang, H.-Y. Lee, B.-Q. Lin, S.-W. Yang, C.-H. Chang, S.-T. Chen, Y.-W. Chang, T.-C. Chen, and I. Bustany, "NTUplace4dr: A detailed-routing-driven placer for mixed-size circuit designs with technology and region constraints," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), vol. 37, no. 3, pp. 669–681, Mar. 2018.
- [5] J.-M. Lin, Y.-L. Deng, S.-T. Li, B.-H. Yu, L.-Y. Chang, and T.-W. Peng, "Regularity-aware routability-driven macro placement methodology for mixed-size circuits with obstacles," IEEE Transactions on Very Large Scale Integration Systems (TVLSI), vol. 27, no. 1, pp. 57–68, Jan. 2019.
- [6] Y.-C. Liu, T.-C. Chen, Y.-W. Chang, and S.-Y. Kuo, "MDP-trees: multi-domain macro placement for ultra large-scale mixed-size designs," Proceedings of ACM/IEEE Asia South Pacific Design Automation Conference (ASP-DAC), pp. 557–562, 2019.
- [7] IEEE Standard for Verilog Hardware Description Language, <https://ieeexplore.ieee.org/document/1620780>
- [8] LEF/DEF Language Reference, <https://si2.org/oa-tools-utils-libs/>